

CLIPPEDIMAGE= JP358157146A

PAT-NO: JP358157146A

DOCUMENT-IDENTIFIER: JP 58157146 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: September 19, 1983

INVENTOR-INFORMATION:

NAME

WATANABE, SHUJI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP57039647

APPL-DATE: March 12, 1982

INT-CL (IPC): H01L021/60;H05K001/18

US-CL-CURRENT: 257/669

ABSTRACT:

PURPOSE: To prevent the application of excessive pressure and to enable to remove the trouble caused by the excessive voltage being applied on a conductive bump by a method wherein a spacer, consisting of a photosensitive resin, is interposed between a semiconductor chip and a substrate.

CONSTITUTION: Spacers 6, which were formed on the circumferential part of the surface of the semiconductor chip 1, are interposed between the semiconductor chip 1 and the substrate 4. These spacers 6 are consisted of photosensitive resin, and they are formed in such a manner that photosensitive resin, such as spinner and the like, is applied on the surface of the

semiconductor substrate
1 in the prescribed thickness and then a patterning is
performed using an
ordinary photo exposing method. The spacers 6, consisting
of photosensitive
resin, can be easily formed with the prescribed thickness
by regulating the
spinner speed and the viscosity and the like of the
photosensitive resin when
it is applied thereon.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—157146

⑤ Int. Cl.³
H 01 L 21/60
H 05 K 1/18

識別記号

庁内整理番号
6819—5F
6810—5F

⑬ 公開 昭和58年(1983)9月19日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地
富士通株式会社内

① 特 願 昭57—39647

① 出 願 人 富士通株式会社

② 出 願 昭57(1982)3月12日

川崎市中原区上小田中1015番地

⑦ 発 明 者 渡辺修治

④ 代 理 人 弁理士 井桁貞一

明 願 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体チップ表面に配設したチップ側電極と、前記半導体チップとは別の基板表面に配設した基板側電極とを導電ペースを介してフェイスダウンボンディングしてなる構成において、前記半導体チップと基板との間に感光性樹脂からなるスペーサを介在させたことを特徴とする半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置に係り、さらに具体的には半導体チップと基板とをフェイスダウンボンディングしてなる構成の半導体装置における接続構造の改良に関するものである。

(b) 従来技術と問題点

半導体チップに例えば受動素子や能動素子を形成し、その半導体チップとは別の基板に配線や受動素子あるいは能動素子等を形成し、それら半導

体チップと基板とを対向配置して接続する、いわゆるフェイスダウンボンディング法は周知である。このようなフェイスダウンボンディング法で半導体チップと基板とを接続するには、一般に半導体チップ表面にチップ側電極を配設し、また基板表面にも基板側電極を配設して、それらチップ側電極あるいは基板側電極に例えばインジウムや鉛鉛合金のような導電ペースを形成する。そして前記チップ側電極と基板側電極とを位置合せするとともに半導体チップと基板とが所定の間隙になるよう、例えばボンディング装置によつて調整した状態で、前記導電ペースで溶着することにより、チップ側電極と基板側電極とを導電ペースを介して接続するようになっている。このように半導体チップと基板との間隙をボンディング装置で調整するのであるが、その調整時に間隙が所定の間隙よりも小さくなることがある。その際、導電ペースに必要な以上の圧力が加わり、そのペースに変形を生じ、導電ペース相互間のビョチが狭い場合には電極間の短絡を招くことがある。また電極間の短

結にまで至らなくても、チップ側電極と基板側電極にも必要以上の圧力が加わり、その結果、能動素子の特性劣化等の悪影響を与える等の問題があった。

(c) 発明の目的

本発明は前述の点に鑑みなされたもので、半導体チップと基板とをフェイスダウンボンディングする際に、半導体チップと基板との間隙を所定の間隙に保持できる構造の半導体装置の提供を目的とするものである。

(d) 発明の構成

本発明による半導体装置は、半導体チップ表面に配設したチップ側電極と、前記半導体チップとは別の基板表面に配設した基板側電極とを導電ペーストを介してフェイスダウンボンディングしてなる構成において、前記半導体チップと基板との間に感光性樹脂からなるスペースを介在させたことを特徴とするものである。

(e) 発明の実施例

以下本発明の実施例につき図面を参照して説明

の周辺部に形成されたスペース6が半導体チップ1と基板4との間に介在させてある点である。これらスペース6は感光性樹脂からなり、その形成方法は半導体基板1表面に、まず感光性樹脂を例えばスピナ等で所定の膜厚で塗布し、その感光性樹脂膜を通常の写真露光法によりパターンニングしたものである。このような感光性樹脂からなるスペース6の厚みは、感光性樹脂膜を塗布する際のスピナ速度や感光性樹脂の粘度等の調整することにより、容易に所定の値に形成することができる。

このようにして形成されたスペース6を半導体チップ1と基板4との間に介在させることにより、それらスペース6で半導体チップ1と基板4との間隙が所定の間隙に保持されることとなる。かくして、半導体チップ1と基板4とをフェイスダウンボンディングする際、導電ペースト8に必要以上の圧力が加わることなくチップ側電極2と基板側電極5とが導電ペースト8を介して接続されることとなる。その結果、導電ペースト8の變形に起因す

する。

第1図は本発明による半導体装置の構造を説明するための概念的に示した要部断面図であり、第2図は本発明による半導体装置における半導体チップの構造を説明するための概念的に示した要部上面図であつて第1図と同等部分には同一符号を付してある。両図において、1は半導体チップであつて、その半導体チップ1表面にはチップ側電極2が配設してあり、さらにそれらチップ側電極2上にはインジウムや鉛鉛合金のような導電ペースト8が形成してある。また4は基板であつて、その基板4表面には基板側電極5(第1図参照)が配設してある。そして第1図に示すように、前記半導体チップ1表面に配設されたチップ側電極2と基板4表面に配設された基板側電極5とが位置合せされ、各チップ側電極2とそれらに対応する基板側電極5とは導電ペースト8で溶着されて接続がなされている。ここまでの構造は従来のものとさして変らないが、本発明による半導体装置の従来のものと異なるのは、例えば半導体チップ1表面

る電極間の短絡や、チップ側電極2や基板側電極5に必要以上の圧力が加わることによつて生じていた能動素子の特性劣化等の障害は除去される。

またスペース6は前述のようにその厚みが極めて容易に設定できると同時に、感光性樹脂を用いるので、微少な半導体チップ1表面にも写真露光法で容易に所定形状のスペースを形成することができる。

(f) 発明の効果

以上の説明から明らかなように本発明によれば、半導体チップと基板とをフェイスダウンボンディングする際、半導体チップと基板との間隙を所定の間隙に保持することができ、必要以上の圧力が導電ペーストに加わるのを防止し得て、その必要以上の圧力が導電ペーストに加わることに起因する障害を除去することができ、半導体装置の製造歩留りの向上ができる利点を有する。

4. 図面の簡単な説明

第1図は本発明による半導体装置の構造を説明するための概念的に示した要部断面図、第2図は

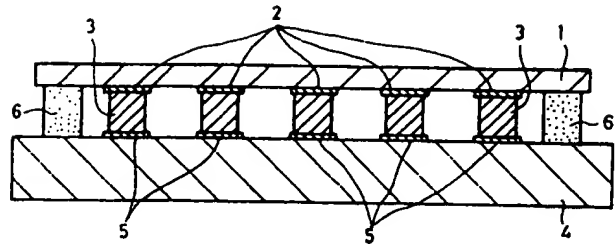
本発明による半導体装置における半導体チップの構造を説明するための概念的に示した要部上面図である。

図において、1は半導体チップ、2はチップ側電極、3は導電ペースト、4は基板、5は基板側電極、6はスペーサをそれぞれ示す。

代理人 井 野 士 井 術 員



第 1 図



第 2 図

